



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 736 904 A1

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
09.10.1996 Patentblatt 1996/41

(51) Int. Cl.⁶: H01L 27/02

(21) Anmeldenummer: 95105212.5

(22) Anmeldetag: 06.04.1995

(84) Benannte Vertragsstaaten:
AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL
PT SE

(72) Erfinder:
• Nikutta, Wolfgang
D-81541 München (DE)
• Reczek, Werner, Dr.
D-85521 Ottobrunn (DE)

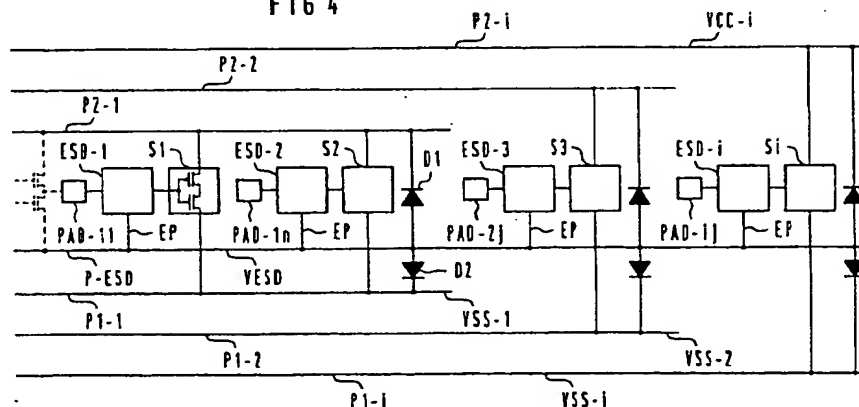
(71) Anmelder: SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

(54) **Integrierte Halbleiterschaltung mit einem Schutzmittel**

(57) Die Erfindung bezieht sich auf eine integrierte Halbleiterschaltung mit einem Halbleiter-Substrat (Sub), mit einer Anzahl von ersten Potentialschienen (P1-i), die im Betrieb ein erstes Versorgungspotential (VSS-i) der Halbleiterschaltung führen, mit einer Anzahl von zweiten Potentialschienen (P2-i), die im Betrieb ein zweites Versorgungspotential (VCC-i) der Halbleiterschaltung führen, mit einer Anzahl von auf dem Halbleiter-Substrat (Sub) ausgebildeten Schaltungsteilen (Si), die zur Versorgung mit elektrischer Spannung zwischen jeweils einer der ersten und einer der zweiten Potentialschienen angeschlossen sind, mit einer auf dem Halbleiter-Substrat (Sub) ausgebildeten und jedem Schaltungsteil (Si) zugeordneten Anschlußstelle (PAD-ij), an welcher im Betrieb des Schaltungsteiles (Si) ein Eingangs- oder Ausgangssignal für den jeweiligen Schaltungsteil (Si) anliegt, sowie mit einer dem Schaltungsteil (Si) zugeordneten und auf dem Halbleiter-Substrat (Sub) ausgebildeten Schutzschaltung (ESD-i)

gegen Überspannungen, die eingangsseitig mit der zugehörigen Anschlußstelle (PAD-ij) des jeweiligen Schaltungsteiles und ausgangssseitig mit dem jeweiligen Schaltungsteil verbunden ist. Erfindungsgemäß ist vorgesehen, daß die Schutzschaltung (ESD-i) einen zur Ableitung von Überspannungen dienenden Entladungspfad (EP) besitzt, der mit einer im Betrieb gegenüber sämtlichen Anschlußstellen (PAD-ij) der Schaltungsteile (Si) ein gemeinsames Bezugspotential (VESD) führenden Sammel-Potentialschiene (P-ESD) gekoppelt ist. Hierbei kann die Sammel-Potentialschiene (P-ESD) eine auf dem Halbleiter-Substrat (Sub) ohnehin gebildete gemeinsame Potentialschiene darstellen, die im Betrieb der Halbleiterschaltung ein für sämtliche Schaltungsteile gemeinsames Potential (VBB) führt. Beispielsweise stellt die Sammel-Potentialschiene (P-ESD) der Potential-Ring für die Substratspannung (VBB) der Halbleiterschaltung dar.

FIG 4



EP 0 736 904 A1

Beschreibung

Die Erfindung bezieht sich auf eine integrierte Halbleiterschaltung mit einem Halbleiter-Substrat, einer Anzahl von ersten Potentialschienen, die im Betrieb ein erstes Versorgungspotential der Halbleiterschaltung führen, einer Anzahl von zweiten Potentialschienen, die im Betrieb ein zweites Versorgungspotential der Halbleiterschaltung führen, einer Anzahl von auf dem Halbleiter-Substrat ausgebildeten Schaltungsteilen, die zur Versorgung mit elektrischer Spannung zwischen jeweils einer der ersten und einer der zweiten Potentialschienen angeschlossen sind, einer auf dem Halbleiter-Substrat ausgebildeten und jedem Schaltungsteil zugeordneten Anschlußstelle, an welcher im Betrieb des Schaltungsteiles ein Eingangs- oder Ausgangssignal für den jeweiligen Schaltungsteil anliegt, und einer dem Schaltungsteil zugeordneten und auf dem Halbleiter-Substrat ausgebildeten Schutzschaltung gegen Überspannungen, die eingangsseitig mit der zugehörigen Anschlußstelle des jeweiligen Schaltungsteiles und ausgangsseitig mit dem jeweiligen Schaltungsteil verbunden ist.

Eine derartige integrierte Halbleiterschaltung ist beispielsweise aus der EP 0 623 958 A1 bekannt. Integrierte Halbleiterschaltungen, insbesondere MOS-integrierte Halbleiterschaltungen sind bekanntlich gegenüber elektrostatischen Aufladungen (ESD - Elektrostatic Discharge) empfindlich, soweit diese auf deren Anschlüsse (PADs am Halbleiterchip; PINs am Halbleiterschaltungsgehäuse) einwirken. Die bekannte integrierte Halbleiterschaltung besitzt zur Vermeidung von ESD-Schäden auf dem Halbleitersubstrat ausgebildete Schutzschaltungen zur Ableitung von Überspannungen, welche jeweils zwischen einer Anschlußstelle (PAD) und einem der entsprechenden Anschlußstelle zugeordneten Schaltungsteil angeordnet sind, und welche entweder mit einem ersten Versorgungspotential VSS (meist Masse bzw. Ground genannt) oder - seltener - mit einem zweiten Versorgungspotential VCC verbunden sind. Aus Layoutgründen, d.h. aus Gründen eines lediglich eingeschränkt zur Verfügung stehenden Platzes sind derartige ESD-Schutzschaltungen nur an dem jeweiligen lokalen Versorgungspotential in unmittelbarer Nähe des zugehörigen Schaltungsteiles angeschlossen, in der Regel an dem lokalen ersten Versorgungspotential VSS.

Fig. 1 zeigt in einer schematischen Ansicht die bekannte Anordnung einer integrierten Halbleiterschaltung mit ESD-Schutzschaltungen bei mehrfachen Versorgungsspannungsanschlüssen. Es ist eine Anzahl von ersten, im Baustein gegeneinander isolierte Potentialschienen P1-1, P1-2, ..., P1-i die im Betrieb ein erstes Versorgungspotential VSS-1, VSS-2, ..., VSS-i führen, und eine Anzahl von zweiten, gleichfalls im Baustein gegeneinander isolierte Potentialschienen P2-1, P2-2, ... P2-i vorgesehen, die im Betrieb ein zweites Versorgungspotential VCC-1, VCC-2, ..., VCC-i der Halbleiterschaltung führen. Der Grund dafür, daß die

Potentialschienen für die Spannungsversorgung intern getrennt sind, liegt darin, daß Rausch-Quellen wie etwa Störungen der Eingangs-Buffer durch Stromspitzen aus den I/O-Treibern entkoppelt sind. Ferner ist eine Anzahl von auf dem Halbleitersubstrat ausgebildeten Schaltungsteilen S1, S2, S3, ..., Si vorgesehen, die zur Versorgung mit elektrischer Spannung zwischen jeweils einer der ersten und einer der zweiten Potentialschiene angeschlossen sind. Zum Schutz der Schaltungsteile Si gegen Überspannungen aufgrund einer ESD-Belastung sind Schutzschaltungen ESD-1, ESD-2, ESD-3, ..., ESD-i vorgesehen, die jeweils im Leitungspfad zwischen einer Anschlußstelle PAD-11, PAD-1n, ..., PAD-2j, PAD-ij und dem zugehörigen Schaltungsteil angeordnet, und mit der zugehörigen lokalen ersten Potentialschiene P1-1, P1-2, ..., P1-i gekoppelt sind.

Im folgendem soll die Verwendung der Indizes in der vorliegenden Anmeldung erläutert werden. Der Index i bezeichnet die Anzahl der Spannungsversorgungen der integrierten Halbleiterschaltung. Beispielsweise besitzt ein 256 K x 16 DRAM 3 getrennte Spannungsversorgungen (i = 3), d.h. 3 VCC- und 3 VSS-Pins, die in der Regel im Baustein gegeneinander isoliert sind. Die Bezeichnung PAD-kj bedeutet eine Anschlußstelle bzw. ein PAD mit der laufenden Nummer j an der Spannungsversorgung k ($1 \leq k \leq i$). Somit bezeichnet beispielsweise PAD-37 eine Anschlußstelle (PAD) mit der laufenden 7, welche mit ihrer Schutzstruktur an der Spannungsversorgung VSS-3 und/oder VCC-3 angeschlossen ist.

Bei der vorbekannten integrierten Halbleiterschaltung mit mehreren Spannungsversorgungen gibt es insbesondere zwei Typen von kritischen ESD-Belastungsfällen, die nach MIL-Standard charakterisiert werden können.

Der eine Typ bezieht sich auf einen ESD-Belastungsfall von PAD gegen Spannungsversorgung. Im Fall von $i \neq k$ liegt eine ESD-Belastung der Anschlußstelle PAD-kj gegen die Spannungsversorgung VCC-i oder VSS-i vor. Dies bedeutet, daß die lokale ESD-Schutzstruktur an PAD-kj nicht an VCC-i bzw. VSS-i angeschlossen ist und somit elektrisch nicht wirksam sein kann. Die ESD-Entladung wird in diesem Fall daher über andere aktive Strukturen erfolgen (Gate-Oxide, PN-Dioden), die hierbei zerstört werden können. Die im Falle von $i=k$ vorliegende ESD-Belastung der Anschlußstelle PAD-ij gegen die lokale Spannungsversorgung VCC-i oder VSS-i ist unkritisch, da die ESD-Schutzstruktur im Entladepfad aktiv ist.

Der zweite Typ eines kritischen ESD-Belastungsfalles bezieht sich auf eine ESD-Belastung PAD gegen PAD. Im Falle von $i=k$ liegt eine Belastung von PAD-kj gegen PAD-km (Anschlußstellen an gemeinsamer VCC-k bzw. VSS-k-Schiene) vor. Hierbei erfolgt bei der bekannten integrierten Halbleiterschaltung eine ESD-Entladung über die Strecke PAD-kj - ESD - VCC-k bzw. VSS-k - ESD - PAD-km, d.h. die beiden ESD-Schutzstrukturen sind dabei in Serie geschaltet. Im Falle von $i \neq k$ liegt eine ESD-Belastung von PAD-ij gegen PAD-km

(Anschlußstellen bzw. PADs an unterschiedlichen VCC- bzw. VSS-Schienen) vor. Dies bedeutet für die bekannte integrierte Halbleiterschaltung, daß die lokale ESD-Schutzstruktur an PAD-ij und PAD-km nicht im Entladepfad liegen und deshalb elektrisch nicht wirksam sind. Die ESD-Entladung wird daher wieder über andere aktive Strukturen erfolgen (Gate-Oxide, PN-Dioden), die damit zerstört werden können.

Bei den bekannten ESD-Schutzschaltungen bei mehrfachen Versorgungsspannungsanschlüssen der integrierten Halbleiterschaltung besteht somit der Nachteil, daß insbesondere bei ESD-Belastungen "über Kreuz" zwischen einer Anschlußstelle (PAD) und einer nicht lokalen Spannungsversorgung, beispielsweise zwischen PAD1-n und VSS-2 die lokale ESD-Schutzschaltung nicht im Entladungspfad angeordnet ist. Hierbei fließt in der Regel der ESD-Entladestrom über parasitäre Substratdioden (Diffusionsgebiete am PAD mit parasitären PN-Dioden zum Substrat) die dabei thermisch zerstört werden können. Hierbei ist zu berücksichtigen, daß, falls Versorgungspotentiale in der integrierten Halbleiterschaltung nicht niederohmig verbunden sind, im Rahmen der Produkt-Freigabe ESD-Belastungen nach MIL-Standard gegen alle Versorgungspins (VSSi, VCCI) vorgeschrieben sind.

Eine beispielhafte Ausführung einer ESD-Schutzschaltung ist, wie in Fig. 2 dargestellt, folgendermaßen aufgebaut: Zwischen einer beispielsweise ein Eingangssignal IN führenden Leitung LI und der ersten Potentialschiene P1-i ist ein Feldoxid-Transistor FOX angeordnet, dessen Gate mit der Leitung LI verbunden ist. Der Anschlußpunkt des Feldoxid-Transistors FOX an die Leitung LI sei mit x bezeichnet. Im weiteren Verlauf der Leitung LI ist, anschließend an den Punkt x ein Diffusionswiderstand Rdif angeordnet, an dessen Ende oder kurz danach sich der eine Anschluß einer feldgesteuerten Diode ZVT befindet. Der andere Anschluß der feldgesteuerten Diode ZVT ist ebenfalls mit der ersten Potentialschiene P1-i verbunden.

Der eine Anschluß der feldgesteuerten Diode ZVT bildet dabei einen weiteren Punkt y der Leitung LI. Hierbei ist angenommen, daß die feldgesteuerte Diode ZVT als sogenannter 0-Volt-Transistor ausgeführt ist. Bei dem als feldgesteuerte Diode ZVT fungierenden 0-Volt-Transistor gemäß Fig. 2 ist das die Feldsteuerung bewirkende Gate (ebenfalls wie seine Source) mit der ersten Potentialschiene P1-i verbunden. Die Source- und Drain-Bereiche des Feldoxid-Transistors FOX sind, wie üblich, als Diffusionsgebiete ausgelegt (Source-Bereich S, Drain-Bereich D). Unterhalb des Source-Bereiches S und unterhalb des Drain-Bereiches D ist jeweils ein wannenförmiger Bereich S-well bzw. D-well ausgebildet. Diese wannenförmigen Bereiche S-well, D-well sind im Abstand zueinander angeordnet, wie in Fig. 3 dargestellt. Sie sind vom selben Leitungstyp wie der jeweilige Source- bzw. Drain-Bereich S, D.

Bezüglich weiterer Einzelheiten, Merkmale und Vorteile der ESD-Schutzschaltung ESD-i wird ausdrücklich auf die Europäische Patentanmeldung EP 0 623 958 A1

derselben Anmelderin verwiesen und vollinhaltlich Bezug genommen.

Ausgehend von diesem Stand der Technik liegt der Erfindung die Aufgabe zugrunde, die bekannte integrierte Halbleiterschaltung derart weiterzubilden, daß diese auch höheren Anforderungen an einen ESD-Schutz entsprechen und insbesondere ESD-Belastungen über Kreuz wirksam vermieden werden können, ohne den Platzbedarf von ESD-Schutzschaltungen zu vergrößern.

Diese Aufgabe wird mit den kennzeichnenden Mitteln des Patentanspruches 1 gelöst. Erfindungsgemäß ist vorgesehen, daß die Schutzschaltung einen zur Ableitung von Überspannung dienenden Entladungspfad besitzt, der mit einer im Betrieb gegenüber sämtlicher Anschlußstellen der Schaltungsteile ein gemeinsames Bezugspotential führenden Sammel-Potentialschiene gekoppelt ist. Dem Prinzip der Erfindung folgend ist die ESD-Schutzschaltung somit zwischen der zugehörigen Anschlußstelle (PAD) des Schaltungsteiles und eine für alle PADs gemeinsame Potentialschiene angeschlossen. Auf diese Weise sind alle denkbaren ESD-Belastungsfälle gegen ein beliebiges Versorgungspotential symmetrisch angeordnet. Hierbei fließt der ESD-Entladestrom in allen Fällen über den Leitungspfad Schutzstruktur-Diode der gemeinsamen Sammel-Potentialschiene. Eine ESD-Belastung der Substratdioden kann auf diese Weise wirksam verhindert werden, ohne eine platzintensive und komplizierte Schutzschaltung bzw. Schutzstruktur vorsehen zu müssen.

Die Sammelpotentialschiene kann eine vollkommen eigenständige auf dem Halbleitersubstrat ausgebildete Leitung sein; in besonders bevorzugter Ausgestaltung der Erfindung stellt die Sammelpotentialschiene eine auf dem Halbleitersubstrat ohnehin gebildete gemeinsame Potentialschiene dar, die im Betrieb der Halbleiterschaltung ein für sämtliche Schaltungsteile gemeinsames Potential führt. Die Auswahl der hierfür geeigneten gemeinsamen Potentialschiene hängt dabei von den vorhandenen Schutzstrukturen und den elektrischen Spezifikationen der angeschlossenen PINs ab. Hierbei hängt die gewählte Schutzstruktur (ESD) von der zur Verfügung stehenden Technologie und der Chip-Spezifikation ab. Bei CMOS-Prozessen bieten sich Feldoxid-Transistoren, Bipolar-Transistoren oder auch Bipolardioden an. Die Effektivität der Schutzstruktur steigt mit kleinerer Durchbruchspannung und hoher Strombelastbarkeit. Als Bipolardioden können unter Umständen parasitäre PN-Dioden ausreichen, die in der Regel an den Versorgungsanschlüssen mit großem Flächenanteil vorhanden sind. Zusätzliche PN-Dioden, die als Halbleitervorrichtung bereits im Entwurf eingeplant werden, haben in der Regel eine höhere Belastbarkeit.

Insbesondere bei der Verwendung in einer dynamischen Halbleiterspeichervorrichtung vom CMOS-Typ wird in besonders bevorzugter Weise als Sammelpotentialschiene der Potentialring für die Substratspannung

bzw. Bulkspannung (VBB) der Halbleiterschaltung gewählt. Dies hat zusätzlich den Vorteil, daß die Schutzstruktur der parasitären Substratdiode parallel geschaltet ist und unmittelbar Substratdurchbrüche verhindert. Die Schutzstruktur ist hierbei ein NPN-Bipolartransistor; die PN-Diode ist als Bauelement im Chip-Konzept eingebaut.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen vermittels der Zeichnung näher erläutert. Dabei zeigt:

- Figur 1 eine schematische Darstellung der Anordnung von ESD-Schutzschaltungen bei einer bekannten integrierten Halbleiterschaltung;
- Figur 2 eine schematische Darstellung einer ESD-Schutzschaltung;
- Figur 3 eine schematische Schnittansicht eines Teils der integrierten Halbleiterschaltung mit einem Schaltungsteil und der dem Schaltungsteil zugeordneten ESD-Schutzschaltung;
- Figur 4 eine schematische Darstellung der Anordnung einer erfindungsgemäßen integrierten Halbleiterschaltung bei mehrfachen Versorgungsspannungsanschlüssen; und
- Figur 5 eine schematische Draufsicht der Anordnung einer integrierten Halbleiterschaltung gemäß der Erfindung.

Die Fig. 2 bis 5 zeigen ein bevorzugtes Ausführungsbeispiel der Erfindung. Bei einer integrierten Halbleiterschaltung mit einem Halbleiter-Substrat Sub ist eine Anzahl von ersten Potentialschienen P1-1, P1-2, ..., P1-i, die im Betrieb ein erstes Versorgungspotential VSS-1, VSS-2, ..., VSS-i der Halbleiterschaltung führen, und eine Anzahl von zweiten Potentialschienen P2-1, P2-2, ..., P2-i, die im Betrieb ein zweites Versorgungspotential VCC-1, VCC-2, ..., VCC-i der Halbleiterschaltung führen, vorgesehen. Ferner ist eine Anzahl von auf dem Halbleitersubstrat ausgebildeten Schaltungsteilen S1, S2, S3, ..., Si vorgesehen, die zur Versorgung mit elektrischer Spannung zwischen jeweils einer der ersten und einer der zweiten Potentialschiene angeschlossen sind. Zum Schutz der Schaltungsteile Si gegen Überspannungen aufgrund einer ESD-Belastung sind Schutzschaltungen ESD-1, ESD-2, ESD-3, ..., ESD-i vorgesehen, die jeweils im Leitungspfad zwischen einer Anschlußstelle PAD-11, PAD-1n, ..., PAD-2j, PAD-ij und dem zugehörigen Schaltungsteil angeordnet sind. Jede Schutzschaltung ESD-i besitzt einen zur Ableitung von Überspannungen dienenden Entladungspfad EP, der mit einer im Betrieb gegenüber sämtlichen Anschlußstellen PAD-ij der Schaltungsteile Si ein gemeinsames Bezugspotential VESD führenden Sammel-Potentialschiene P-ESD gekoppelt ist, wobei im dargestellten Fall die Sammel-Potentialschiene P-ESD eine auf dem Halbleiter-Substrat (Sub) ohnehin gebildete gemeinsame Potentialschiene darstellt, die im Betrieb der Halbleiterschaltung ein für sämtliche Schal-

tungsteile gemeinsames Potential VBB führt, und zwar der Potential-Ring für die Substratspannung VBB der Halbleiterschaltung. Im Falle eines Halbleitersubstrates vom P-Typ ist die Substrat- bzw. Bulkspannung die im Chip negativste Spannung dar. Beispielsweise beträgt der Wert der internen Substratspannung minus 2,5 V.

Erfindungsgemäß können nunmehr auch die bei den eingangs genannten Typen von kritischen ESD-Belastungsfällen vermieden werden.

Bei dem einen Typ des ESD-Belastungsfalles von PAD gegen Spannungsversorgung erfolgt im Falle von $i \neq k$ die Entladung stets über die definierte Strecke PAD-kj-ESD-VESD-Diode-VCC-i bzw. VSS-i. Der ESD-Entladestrom fließt über den Pfad Schutzstruktur-VESD-Diode, so daß die Substratdioden selbst nicht belastet werden. Im Falle von $i = k$ erfolgt die Entladung ebenfalls über die definierte Strecke PAD-kj-ESD-VESD-Diode-VCC-i bzw. VSS-i, also analog dem Fall $i \neq k$ gemäß der Erfindung.

Bei dem zweiten Typ des kritischen ESD-Belastungsfalles, d.h. einer ESD-Belastung PAD gegen PAD erfolgt die Entladung in vergleichbarer Weise über die definierte Strecke PAD-kj-ESD-VESD-ESD-PAD-km. Im Falle von $i \neq k$, der bei der vorbekannten ESD-Schutzstruktur gegen Überspannungen nicht geschützt ist, erfolgt erfindungsgemäß die Entladung ebenfalls über die definierte Strecke PAD-ij-ESD-VESD-ESD-PAD-km.

In der Fig. 5 bezeichnet das mit "A" gekennzeichnete Bauteil jeweils eine sogenannte Punch-Through-Einrichtung gemäß Einzeldarstellung, die an der jeweiligen Anschlußstelle (PAD) angeschlossen ist und mit der lokalen Potentialschiene VSS-i verbunden ist, und das mit "B" gekennzeichnete Bauteil bezeichnet einen NPN-Bipolartransistor gemäß Einzeldarstellung, der an der jeweiligen Anschlußstelle (PAD) angeschlossen ist und mit der gemeinsamen Potentialschiene VBB verbunden ist. Darüber hinaus können optional wenigstens einige der Bauteile "B" wie aus Fig. 5 ersichtlich auch zwischen VSS-i bzw. VDD-i und VBB angeschlossen sein, so daß sich in diesem Fall eine volle Symmetrie hinsichtlich ESD-Belastungen auch hinsichtlich VCC-i - VCC-k, VSS-i - VSS-k, und/oder VCC-i - VSS-k ergibt.

Die Dioden D1, D2 stellen NP-Bipolardioden dar und sind gemäß der Darstellung nach Fig. 5 an die jeweiligen lokalen Potentialschienen VSS-i bzw. VDD-i und mit der gemeinsamen Potentialschiene VBB verbunden.

Somit sind bei der erfindungsgemäßen integrierten Halbleiterschaltung sämtliche ESD-Belastungsfälle gegen ein beliebiges Versorgungspotential symmetrisch, so daß insbesondere auch ESD-Belastungen über Kreuz wirksam vermieden werden können.

Patentansprüche

1. Integrierte Halbleiterschaltung mit einem Halbleiter-Substrat (Sub),

- mit einer Anzahl von ersten Potentialschienen (P1-i), die im Betrieb ein erstes Versorgungspotential (VSS-i) der Halbleiterschaltung führen,
 - mit einer Anzahl von zweiten Potentialschienen (P2-i), die im Betrieb ein zweites Versorgungspotential (VCC-i) der Halbleiterschaltung führen,
 - mit einer Anzahl von auf dem Halbleiter-Substrat (Sub) ausgebildeten Schaltungsteilen (Si), die zur Versorgung mit elektrischer Spannung zwischen jeweils einer der ersten und einer der zweiten Potentialschienen angeschlossen sind,
 - mit einer auf dem Halbleiter-Substrat (Sub) ausgebildeten und jedem Schaltungsteil (Si) zugeordneten Anschlußstelle (PAD-ij), an welcher im Betrieb des Schaltungsteiles (Si) ein Eingangs- oder Ausgangssignal für den jeweiligen Schaltungsteil (Si) anliegt,
 - mit einer dem Schaltungsteil (Si) zugeordneten und auf dem Halbleiter-Substrat (Sub) ausgebildeten Schutzschaltung (ESD-i) gegen Überspannungen, die eingangsseitig mit der zugehörigen Anschlußstelle (PAD-ij) des jeweiligen Schaltungsteiles und ausgangsseitig mit dem jeweiligen Schaltungsteil verbunden ist,
- dadurch gekennzeichnet, daß** die Schutzschaltung (ESD-i) einen zur Ableitung von Überspannungen dienenden Entladungspfad (EP) besitzt, der mit einer im Betrieb gegenüber sämtlichen Anschlußstellen (PAD-ij) der Schaltungsteile (Si) ein gemeinsames Bezugspotential (VESD) führenden Sammel-Potentialschiene (P-ESD) gekoppelt ist.
2. Integrierte Halbleiterschaltung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Sammel-Potentialschiene (P-ESD) eine auf dem Halbleiter-Substrat (Sub) ohnehin gebildete gemeinsame Potentialschiene darstellt, die im Betrieb der Halbleiterschaltung ein für sämtliche Schaltungsteile gemeinsames Potential (VBB) führt.
 3. Integrierte Halbleiterschaltung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß die Sammel-Potentialschiene (P-ESD) der Potential-Ring für die Substratspannung (VBB) der Halbleiterschaltung ist.
 4. Integrierte Halbleiterschaltung nach Anspruch 1 bis 3, **dadurch gekennzeichnet**, daß die Sammel-Potentialschiene (P-ESD) über wenigstens ein Paar von zwei antiparallel geschalteten Diodeneinrichtungen (D1, D2) mit der jeweiligen ersten Potentialschiene (P1-i) und der jeweiligen zweiten Potentialschiene (P2-i) des entsprechenden Schaltungsteiles (Si) verbunden ist.
 5. Integrierte Halbleiterschaltung nach Anspruch 1 bis 4, **dadurch gekennzeichnet**, daß die Schutzschaltung (ESD-i) einen in dem Halbleiter-Substrat (Sub) ausgebildeten Feldoxid-Transistor (FOX) aufweist, dessen Gate mit einer mit der zugehörigen Anschlußstelle (PAD-ij) gekoppelten Leitung (LI) verbunden ist.
 6. Integrierte Halbleiterschaltung nach Anspruch 5, **dadurch gekennzeichnet**, daß dem in dem Halbleiter-Substrat (Sub) ausgebildeten Feldoxid-Transistor (FOX) eine feldgesteuerte Diode (ZVT) nachgeschaltet ist, deren ein Anschluß mit der der zugehörigen Anschlußstelle (PAD-ij) gekoppelten Leitung (LI) und deren andere Anschluß mit der zugehörigen ersten Potentialschiene (P1-i) verbunden ist.
 7. Integrierte Halbleiterschaltung nach Anspruch 6, **dadurch gekennzeichnet**, daß die feldgesteuerte Diode (ZVT) als 0-Volt-Transistor ausgeführt ist.
 8. Integrierte Halbleiterschaltung nach Anspruch 5 bis 7, **dadurch gekennzeichnet**, daß zwischen den mit der der zugehörigen Anschlußstelle (PAD-ij) gekoppelten Leitung (LI) verbundenen Anschlüssen des Feldoxid-Transistors (FOX) und der feldgesteuerten Diode (ZVT) ein Diffusionswiderstand (Rdif) geschaltet ist.

FIG 1

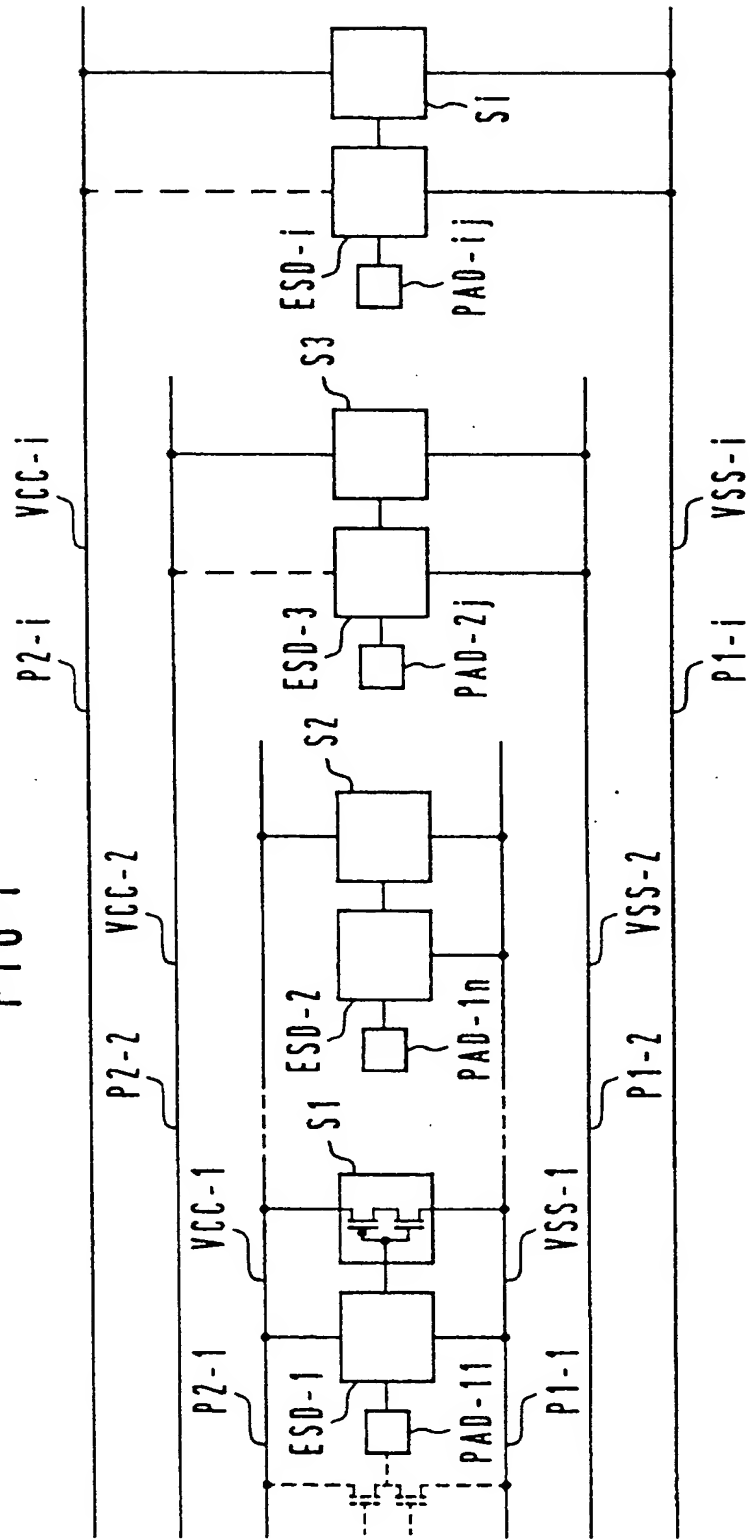


FIG 2

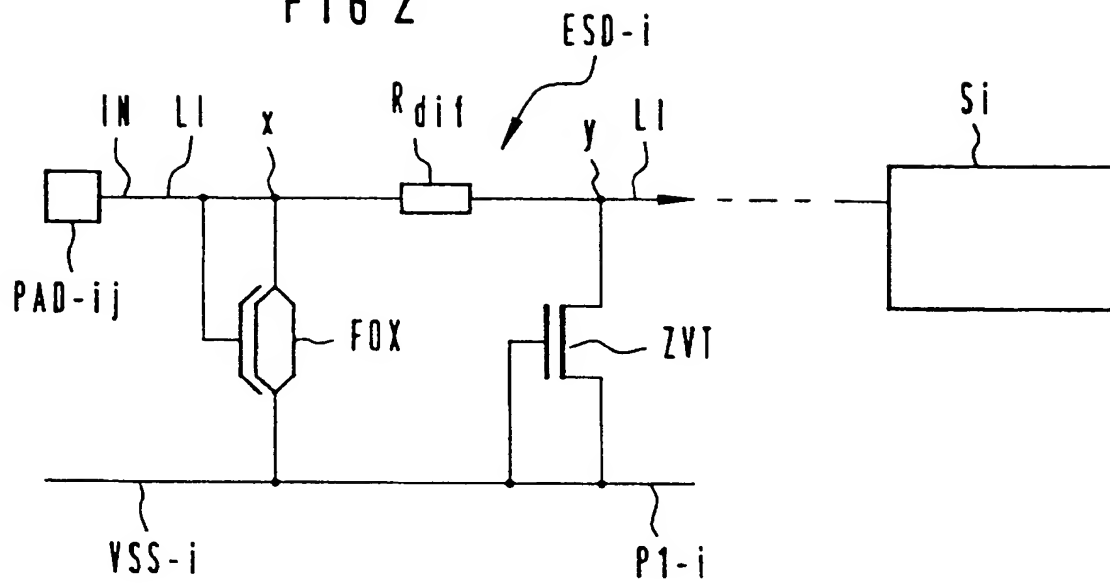
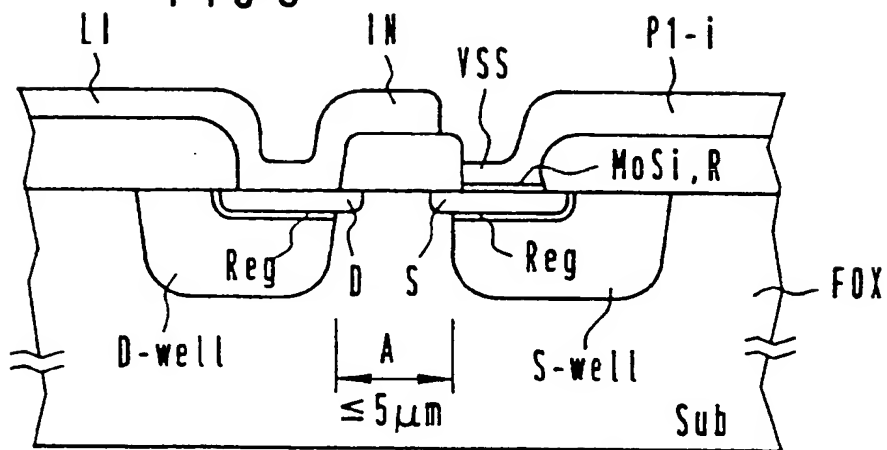
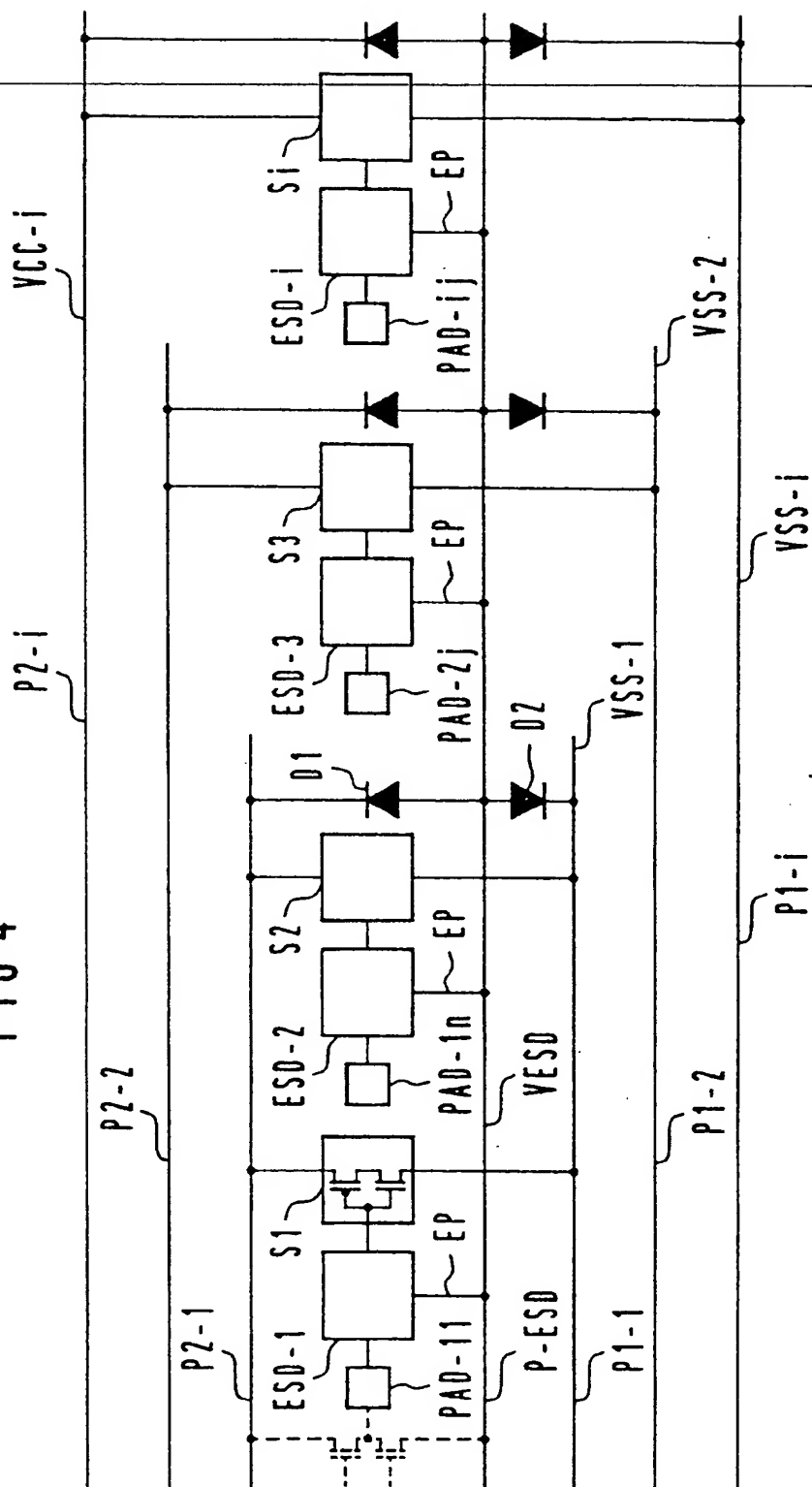
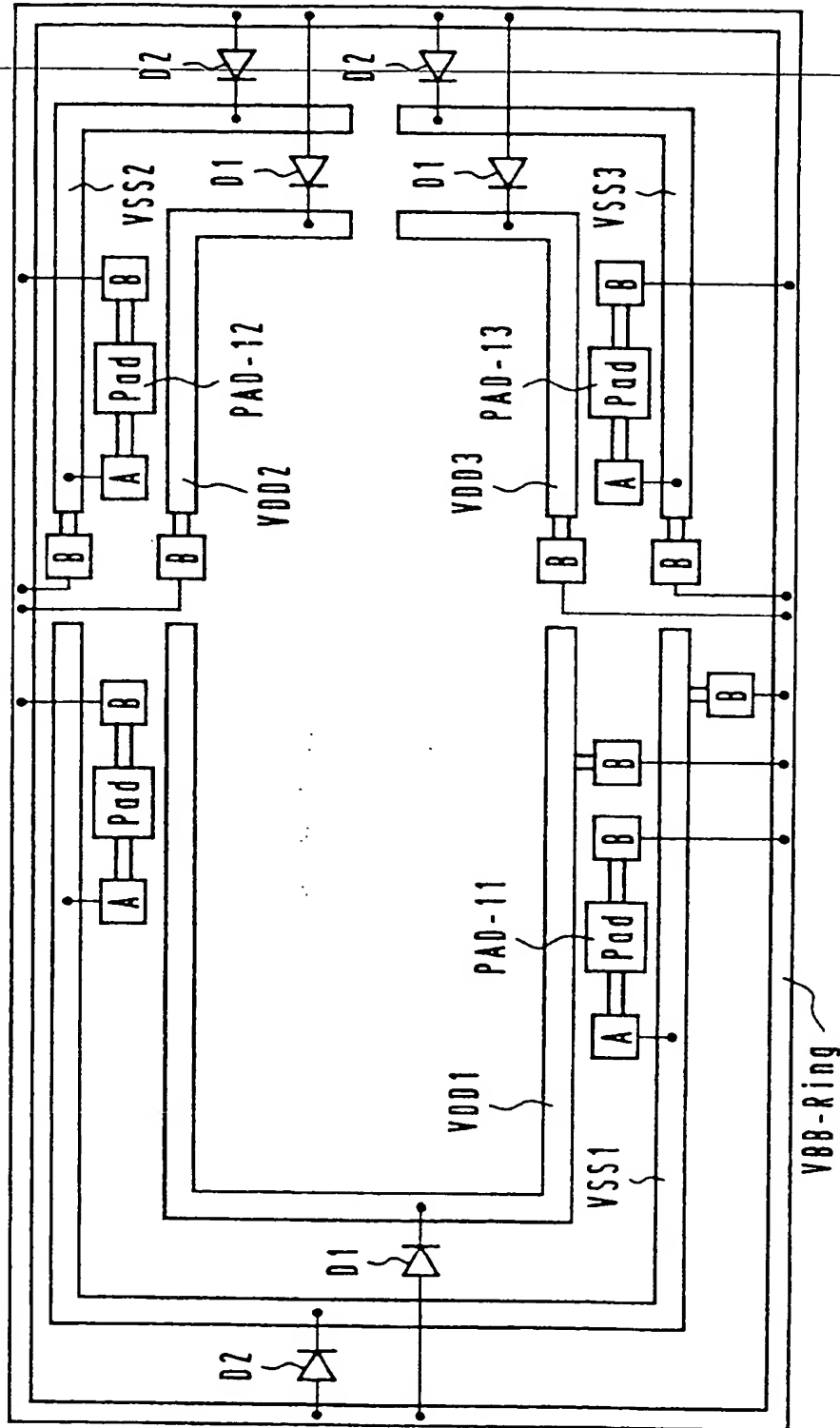
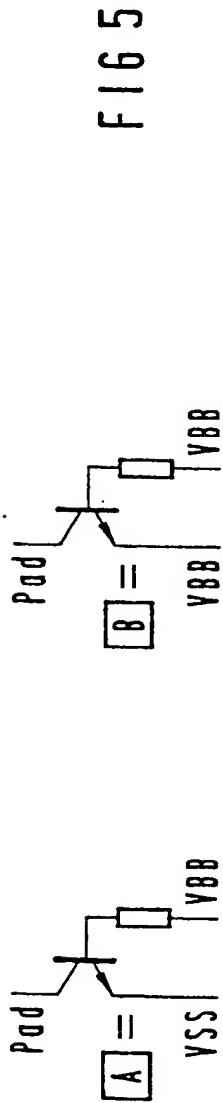


FIG 3



7913







Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 95 10 5212

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
D,Y	EP-A-0 623 958 (SIEMENS AG) 9.November 1994 * Ansprüche; Abbildungen *	1-8	H01L27/02
Y	PATENT ABSTRACTS OF JAPAN vol. 015 no. 390 (E-1118) ,3.Oktober 1991 & JP-A-03 156965 (FUJITSU LTD) 4.Juli 1991, * Zusammenfassung *	1-8	
A	PATENT ABSTRACTS OF JAPAN vol. 018 no. 095 (E-1509) ,16.Februar 1994 & JP-A-05 299598 (HITACHI LTD;OTHERS: 01) 12.November 1993, * Zusammenfassung *	1-8	
A	PATENT ABSTRACTS OF JAPAN vol. 018 no. 311 (E-1561) ,14.Juni 1994 & JP-A-06 069454 (HITACHI LTD) 11.März 1994, * Zusammenfassung *	2,3	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.6)
			H01L
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 31.August 1995	Prüfer Vendange, P
KATEGORIE DER GENANNTEN DOKUMENTE		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument * : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur			

EPO FORM 1501 03.82 (P/ACM)

Integrated semiconductor circuit

Patent Number: US5821804
Publication date: 1998-10-13
Inventor(s): RECZEK WERNER (DE); NIKUTTA WOLFGANG (DE)
Applicant(s): SIEMENS AG (DE)
Requested Patent: EP0736904, B1
Application Number: US19960629184 19960408
Priority Number(s): EP19950105212 19950406
IPC Classification: H03K5/08
EC Classification: H01L27/02B4F
Equivalents: DE59510495D, JP8321586

Abstract

An integrated semiconductor circuit includes a semiconductor substrate. A number of first potential buses carry a first supply potential of the semiconductor circuit during operation. A number of second potential buses carry a second supply potential of the semiconductor circuit during operation. A number of circuit portions formed on the substrate are each connected between one of the first and one of the second potential buses for being supplied with electrical voltage. Connection points are formed on the substrate and are each assigned to one of the circuit portions for receiving an input or output signal for the circuit portion during operation of the circuit portion. Protective circuits are formed on the substrate and are each assigned to one of the circuit portions for preventing overvoltage. The protective circuits each have an input side connected to one of the connection points and an output side connected to the circuit portion. A common potential bus bar carries a reference potential being common with respect to all of the connection points during operation. The protective circuits have discharge paths coupled with the potential bus bar for dissipating overvoltages.

Data supplied from the esp@cenet database - I2

DOCKET NO: P2001,0034
SERIAL NO: _____
APPLICANT: Marco Troost
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100